

JP3094852U

Patent number: JP3094852U
Publication date: 1991-09-27
Inventor:
Applicant:
Classification:
- international: H04J13/00; H04J13/00; (IPC1-7): H04J13/00
- european:
Application number: JP19900004102U 19900119
Priority number(s): JP19900004102U 19900119

Report a data error here

Abstract not available for JP3094852U

Data supplied from the *esp@cenet* database - Worldwide

JP03-094952U, Sep. 27, 1991, English Translation from the line 12 at page 7 to the line 2 at page 9 and Figs. 1, 3, 4, 6 and 9.

Embodiment

An embodiment of the present device will be described with reference to Figs. 1 to 3. Sections identical to the sections shown in Figs. 4 to 9 are denoted by identical symbols. Although, similarly to the case illustrated by Fig. 6, a reference signal of three delay and three advance chips is also employed in this embodiment, prior to addition by adders 8, 9, the signal is multiplied by appropriate coefficients by coefficient multipliers 10, 11, 12, 13. More specifically, taking the chip number as the coefficient, while a 1-chip delay signal and 1-chip advance signal are unaltered (equivalent to a coefficient of 1), a 2-chip delay signal and 2-chip advance signal are multiplied by the coefficient multipliers 10, 11 by a coefficient of 2, and a 3-chip delay signal and 3-chip advance signal are multiplied by the coefficient multipliers 12, 13 by a coefficient of 3.

The signal multiplied by the coefficients in this way are added by the adders 8, 9 at the delay side and advance side to form the reference signal, which is then supplied for multiplication by multipliers 1, 2 with a received PN signal. Further, a delay time control output is obtained by the antiphase addition of the multiplied value of the delay side signal to the multiplied value of advance side signal by the adder 3 and then integration by a loop filter 5.

The delay discrimination characteristic in this case is shown in Fig. 2. That is to say, the range across which a delay time control voltage $D(t)$ is output is enlarged to $-4\Delta < t < 4\Delta$, and it is apparent that the

linear range thereof, which is $-3\Delta < t < 3\Delta$, is three times larger than the range achieved in the prior art.

FIG. 1

5: LOOP FILTER

A: REFERENCE SIGNAL

B: DELAY

C: ADVANCE

FIG. 2

A: CONTROL VOLTAGE

B: ERROR TIME

FIG. 3

A: CONTROL VOLTAGE $D(t)$

B: DEMODULATION SIGNAL

C: CHANGES IN TIME DELAY OF CLOCK FREQUENCY MODULATION SIGNAL

FIG. 4

A: RECEIVED PN SIGNAL $S(t)$

5: LOOP FILTER

B: REFERENCE PN SIGNAL

C: DELAY

D: ADVANCE

FIG. 6

5: LOOP FILTER

A: REFERENCE SIGNAL

B: DELAY

C: ADVANCE

FIG. 9

A: CONTROL VOLTAGE $D(t)$

B: DEMODULATION SIGNAL

C: CHANGES IN TIME DELAY OF CLOCK FREQUENCY MODULATION SIGNAL

~~第 四 図~~

FIG. 4

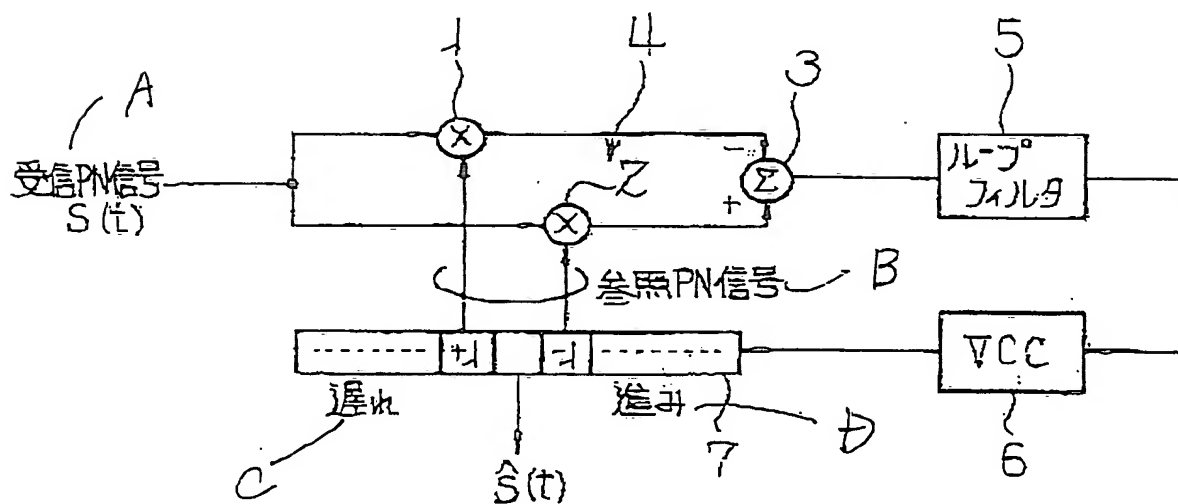
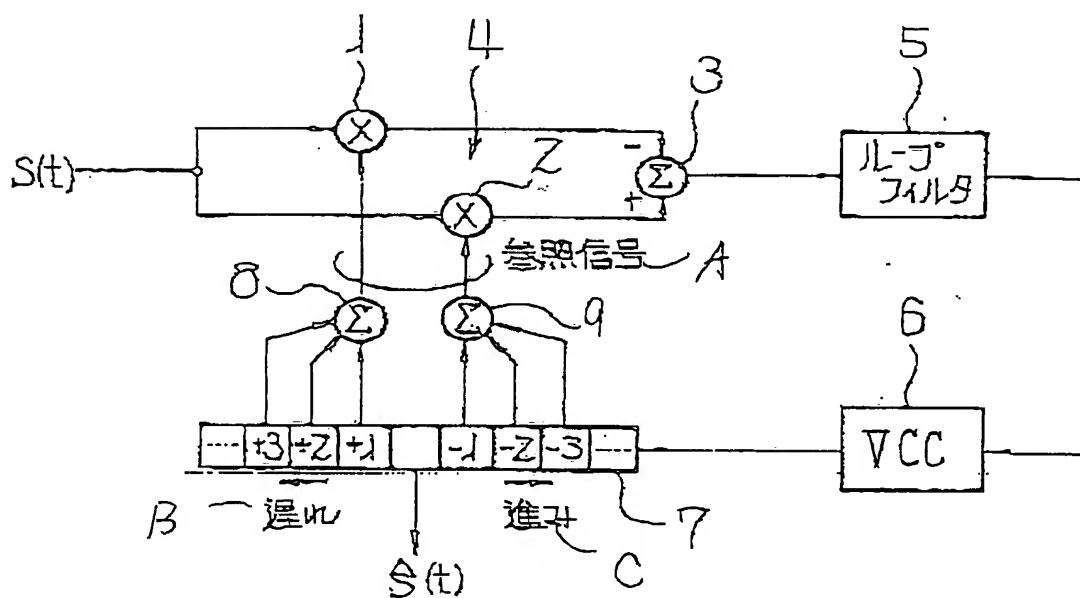
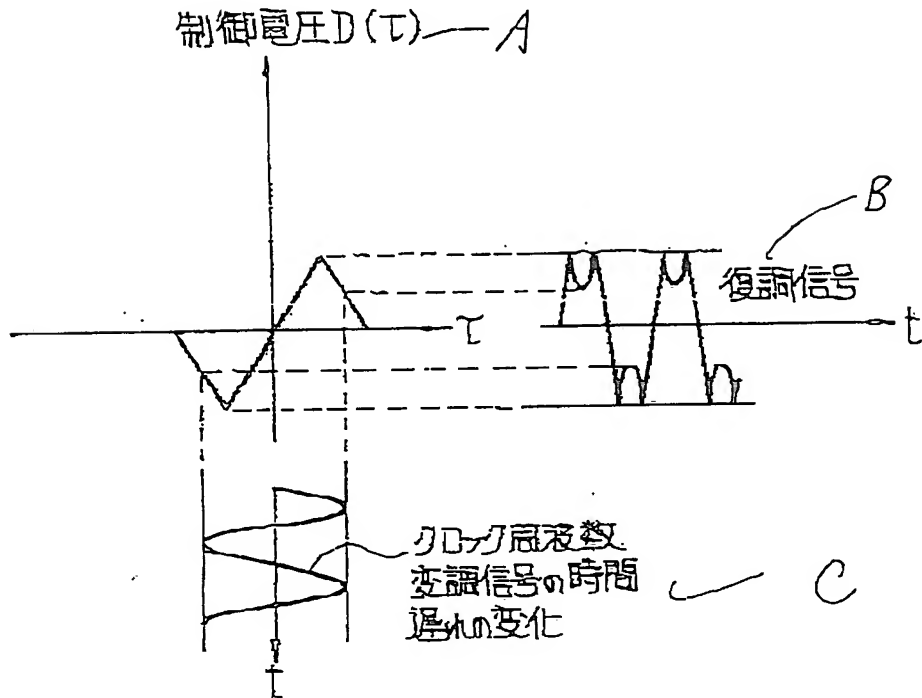
~~第 五 図~~

FIG. 5



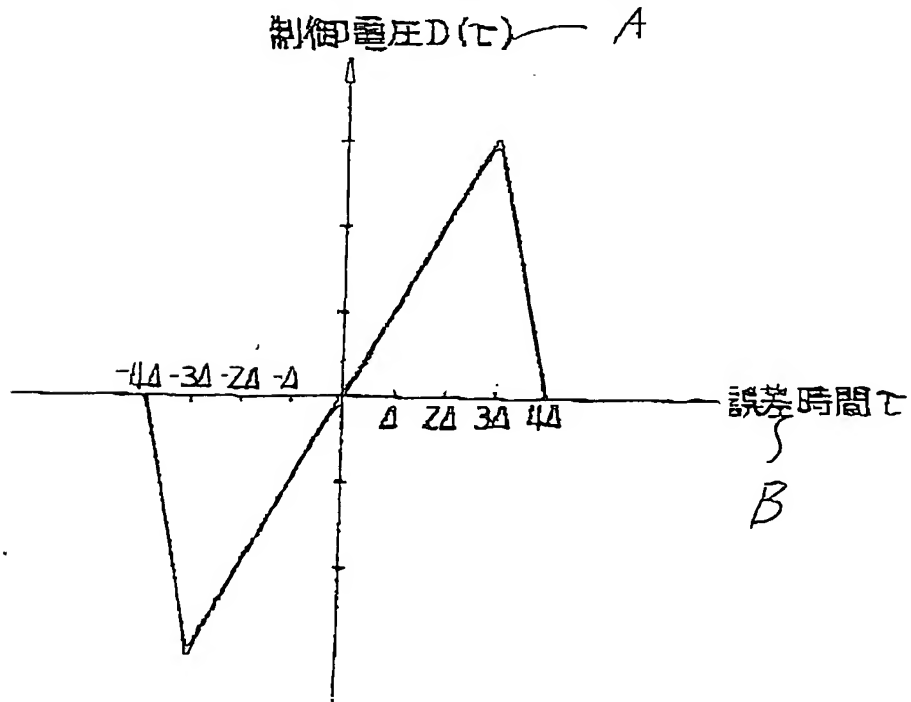
~~第一図~~

FIG. 9



~~第二図~~

FIG. 2



公開実用平成 3-94852

⑩ 日本国特許庁(JP)

⑪ 実用新案出願公開

⑫ 公開実用新案公報(U)

平3-94852

⑬ Int. Cl.⁵

H 04 J 13/00

識別記号

A

庁内整理番号

6914-5K

⑭ 公開 平成3年(1991)9月27日

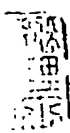
審査請求 未請求 請求項の数 1 (全 頁)

⑮ 考案の名称 遅延ロックループ

⑯ 実 願 平2-4102

⑰ 出 願 平2(1990)1月19日

⑱ 考 案 者	中 川 義 克	東京都大田区中馬込1丁目3番6号	株式会社リコー内
⑲ 考 案 者	山 田 邦 博	東京都大田区中馬込1丁目3番6号	株式会社リコー内
⑳ 出 願 人	株 式 会 社 リ コ ー	東京都大田区中馬込1丁目3番6号	
㉑ 代 理 人	弁 理 士 柏 木 明		



明 細 書

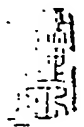
1. 考案の名称

遅延ロックループ

2. 実用新案登録請求の範囲

局部擬似雑音信号発生器が出力する局部参照擬似雑音信号中より、受信擬似雑音信号に対する遅れ信号、進み信号の各々を複数個ずつ取り出し、各々加算器により加算した後、相関器によりこれらの加算信号を参照信号として前記受信擬似雑音信号との相関をとり、相関出力をループフィルタにより積分して遅延時間制御出力を得るようにした遅延ロックループにおいて、前記局部擬似雑音信号発生器から取り出される複数個の遅れ信号、進み信号の各々に遅れ、進み時間に応じた適当な係数を乗じて前記加算器に出力する係数乗算器を設けたことを特徴とする遅延ロックループ。

632



3. 考案の詳細な説明

産業上の利用分野

本考案は、スペクトラム拡散通信方式に用いられる擬似雑音信号の同期回路として用いられる遅延ロックループに関する。

従来技術

近年、雑音に強く、秘匿性に優れる等の特徴を持ち符号分割多重による多元接続可能なスペクトラム拡散通信方式（SS方式）が注目され、その原理、実用化等について各種文献等により紹介されている。このようなSS通信にあつては、擬似雑音（PN）信号が利用される。ここに、雑音の中からPN信号を取り出す有効な回路として、PN信号に同期する遅延ロックループがあり、広く用いられている。

第4図に従来の基本的な遅延ロックループの構成例を示す。これは、2つの乗算器1、2と加算器3とからなる相関器4と、ループフィルタ5と、

電圧制御クロック $VCC6$ と、局部 PN 信号発生器 7 とをループ構成し、局部 PN 信号発生器 7 から同期した PN 信号 $\hat{S}(t)$ を得るものである。局部 PN 信号発生器 7 は n 段のシフトレジスタ構成により、遅れ、進みの局部参照 PN 信号を 1 チップずつ取り出し、乗算器 1, 2 に各々出力する。よって、乗算器 1 は受信 PN 信号 $S(t)$ と遅れ局部参照 PN 信号とを乗算し、乗算器 2 は受信 PN 信号 $S(t)$ と進み局部参照 PN 信号とを乗算する。そして、加算器 3 により逆相加算した後、ループフィルタ 5 (実際は LPF 使用) で積分することにより、遅延時間制御出力が得られる。

この場合の遅延弁別特性は第 5 図に示すようになる。即ち、遅延時間制御電圧 $D(\tau)$ が出力される範囲は受信 PN 信号 $S(t)$ と参照 PN 信号との時間差 $|\tau|$ が高々 PN 信号の 1 チップの時間長 Δ の 2 倍以下であり、その線形領域 (遅延時間に

比例した制御電圧が出力される範囲) が $-\Delta < \tau$
 $< \Delta$ しかない。

そこで、遅延ロックループの遅延時間制御電圧
 の出力範囲を拡大する方法としては、改良型遅延
 ロックループがある。例えば電子通信学会論文誌
 '84/12Vol. J67-B No.12中のp.1385~1391「改良型
 遅延ロックループの位相追従特性について」に示
 されており、第6図に示すように構成されている。
 これは、局部PN信号発生器7と乗算器1, 2と
 の間に各々加算器8, 9を介在させ、受信PN信
 号 $S(t)$ に対して複数個、ここでは3チップずつ
 の遅れ信号、進み信号を局部PN信号発生器7よ
 り取り出し、加算器8, 9により加算した後で乗
 算、逆相加算処理して相関をとるようにしたもの
 である。

第7図はこの場合の遅延弁別特性を示すもので、
 同期制御のための遅延時間制御電圧を出力できる
 時間誤差範囲が $-4\Delta < \tau < 4\Delta$ に拡大され、改

善されていることが判る。

考案が解決しようとする課題

ところが、この方式によると、遅延弁別特性の線形領域は $-\Delta < \tau < \Delta$ のままであり、拡大されていない。よって、例えばスペクトラム拡散通信方式の一つであるクロック周波数変調方式における復調回路に用いた場合には、最大変調周波数が小さく抑えられてしまうものである。即ち、クロック周波数変調方式は第8図に示すように送信PN信号のクロック周波数を情報信号で変調する方式であり、復調信号は同期に用いられる遅延ロックループの遅延時間制御電圧そのものとなる

(DIXON, "Spread Spectrum Systems", John Wiley & Sons, pp.116-117 1977参照)。第9図はこのようにクロック周波数変調されたPN信号の復調を第4図の遅延ロックループで行なった場合の波形特性図であり、 $-\Delta < \tau < \Delta$ に対応する範囲内の振幅の情報しか復調できないことが判

る。

課題を解決するための手段

局部擬似雑音信号発生器が出力する局部参照擬似雑音信号中より、受信擬似雑音信号に対する遅れ信号、進み信号の各々を複数個ずつ取り出し、各々加算器により加算した後、相関器によりこれらの加算信号を参照信号として前記受信擬似雑音信号との相関をとり、相関出力をループフィルタにより積分して遅延時間制御出力を得るようにした遅延ロックループにおいて、前記局部擬似雑音信号発生器から取り出される複数個の遅れ信号、進み信号の各々に遅れ、進み時間に応じた適当な係数を乗じて前記加算器に出力する係数乗算器を設けた。

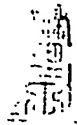
作用

改良型遅延ロックループに対して、複数個の係数乗算器を追加し、複数個の局部参照擬似雑音信号に各々の遅れ時間、進み時間に応じた適当な係

数を乗じてから加算し、これを参照信号として受信擬似雑音信号との相関をとることにより、遅延時間制御電圧を出力できる範囲はもちろん、遅延弁別特性における線形領域も拡大することができる。よって、時間誤差に対して制御範囲の広い遅延弁別特性を持つものとなり、クロック周波数変調方式における情報信号の復調のような用途であっても、より大きい最大周波数偏移の変調信号に同期可能で、より大きい振幅の情報信号の復調が可能となる。

実施例

本考案の一実施例を第1図ないし第3図に基づいて説明する。第4図ないし第9図で示した部分と同一部分は同一符号を用いて示す。本実施例も第6図の場合と同様に遅れ、進み各々3チップずつの参照信号を用いるものであるが、各々加算器8, 9により加算する前に、係数乗算器10, 11, 12, 13により適当な係数を乗ずるよう



したものである。具体的には、チップ数が係数とされており、1チップ遅れ信号、1チップ進み信号はそのままであるが（係数1に相当）、2チップ遅れ信号、2チップ進み信号は各々係数乗算器10, 11により係数2を乗じ、3チップ遅れ信号、3チップ進み信号は各々係数乗算器12, 13により係数3を乗ずるようにしたものである。

このような係数乗算処理された信号を、遅れ側と進み側とで各々の加算器8, 9により加算して参照信号とし、乗算器1, 2による受信PN信号との乗算に供する。そして、加算器3により進み側信号との乗算値に対して遅れ側信号との乗算値を逆相加算した後、ループフィルタ5で積分することにより遅延時間制御出力が得られることになる。

この場合の遅延弁別特性は第2図に示すようになる。即ち、遅延時間制御電圧 $D(\tau)$ が出力される範囲が $-4\Delta < \tau < 4\Delta$ に拡大され、かつ、そ

の線形領域も $-3\Delta < \tau < 3\Delta$ で、従来に比して
3 倍に拡大されていることが判る。

第 3 図は、クロック周波数変調された P N 信号
の復調を本実施例の遅延ロックループで行なった
場合の波形特性図であり、 $-3\Delta < \tau < 3\Delta$ に対
応する範囲内の振幅の情報を復調できることが判
る。即ち、従来に比して 3 倍大きい情報信号の復
調が可能である。

一般論で考えれば、線形領域を参照信号の数に
比例して拡大することができ、同時に、遅延時間
制御電圧を出力できる範囲も拡大することができ
る。

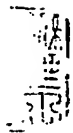
考案の効果

本考案は、上述したように改良型遅延ロックル
ープに対して、複数個の係数乗算器を追加した構
成とし、複数個の局部参照擬似雑音信号に各々の
遅れ時間、進み時間に応じた適当な係数を乗じて
から加算し、これを参照信号として受信擬似雑音

信号との相関をとるようにしたので、遅延時間制御電圧を出力できる範囲はもちろん、遅延弁別特性における線形領域も拡大することができ、よって、時間誤差に対して制御範囲の広い遅延弁別特性を持たせることができ、クロック周波数変調方式における情報信号の復調のような用途であっても、より大きい最大周波数偏移の変調信号に同期可能で、より大きい振幅の情報信号の復調が可能となるものである。

4. 図面の簡単な説明

第1図は本考案の一実施例を示すブロック図、第2図はその遅延弁別特性を示す特性図、第3図はクロック周波数変調方式による復調特性図、第4図は従来例を示すブロック図、第5図はその遅延弁別特性を示す特性図、第6図は改良された従来例を示すブロック図、第7図はその遅延弁別特性を示す特性図、第8図はクロック周波数変調方



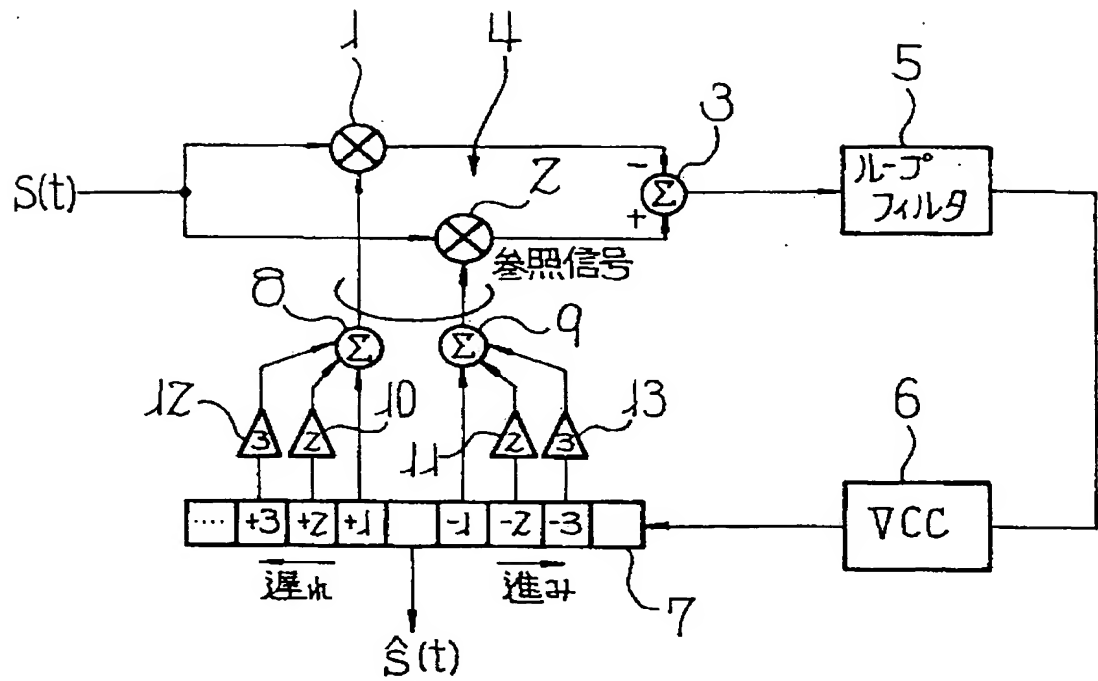
式を示すブロック図、第9図はクロック周波数変調方式による従来の復調特性図である。

4…相関器、5…ループフィルタ、7…局部擬似雑音信号発生器、8, 9…加算器、10～13…係数乗算器

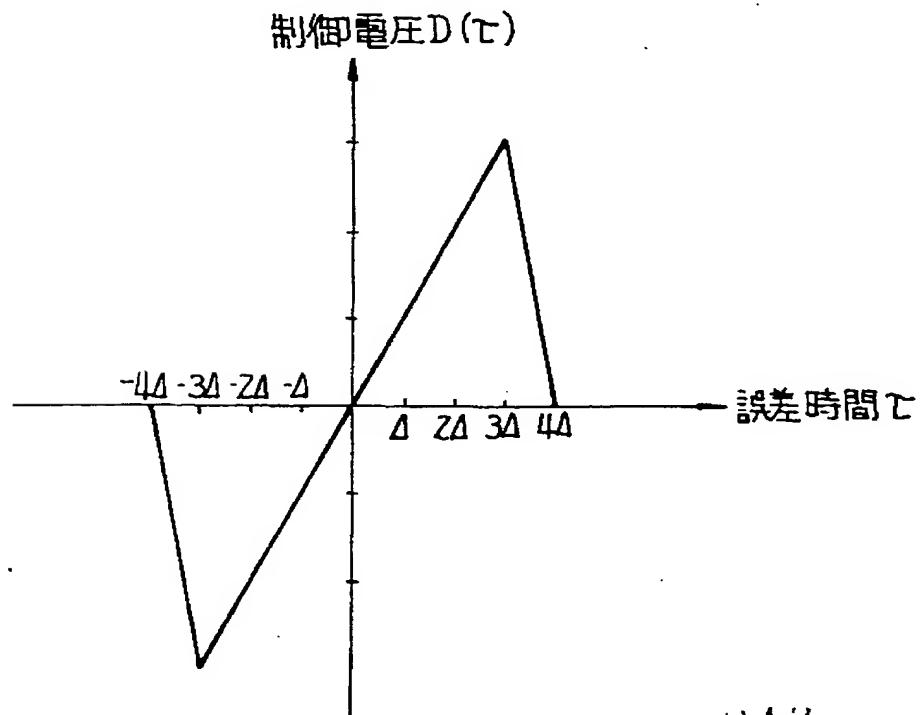
出 願 人 株 式 会 社 リ コ ー
代 理 人 柏 木



第 1 図

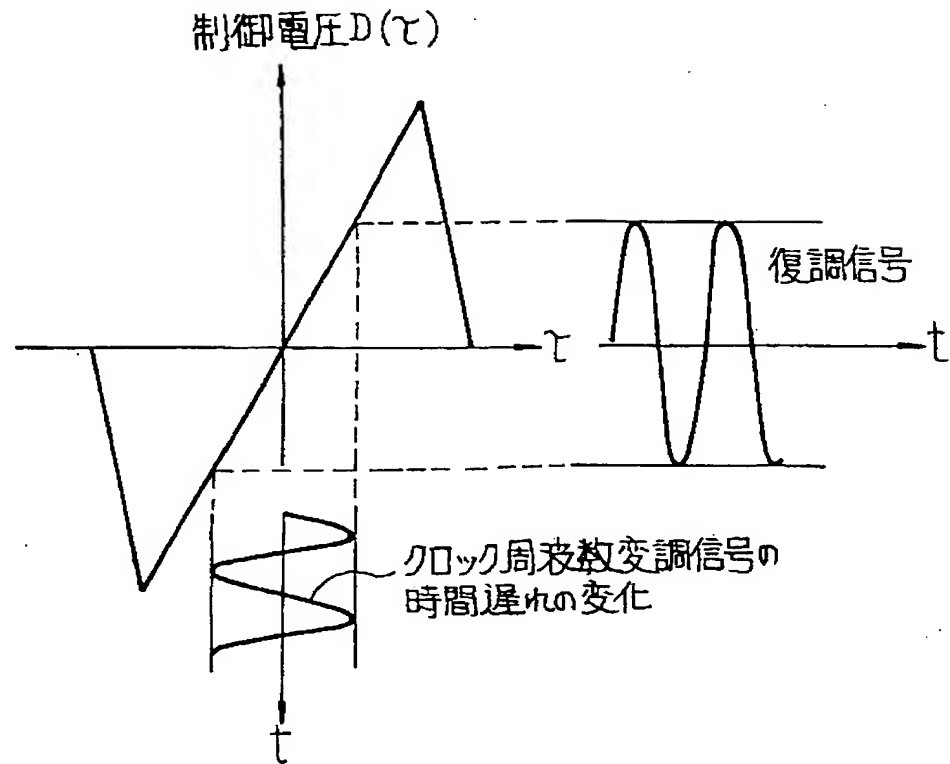


第 2 図

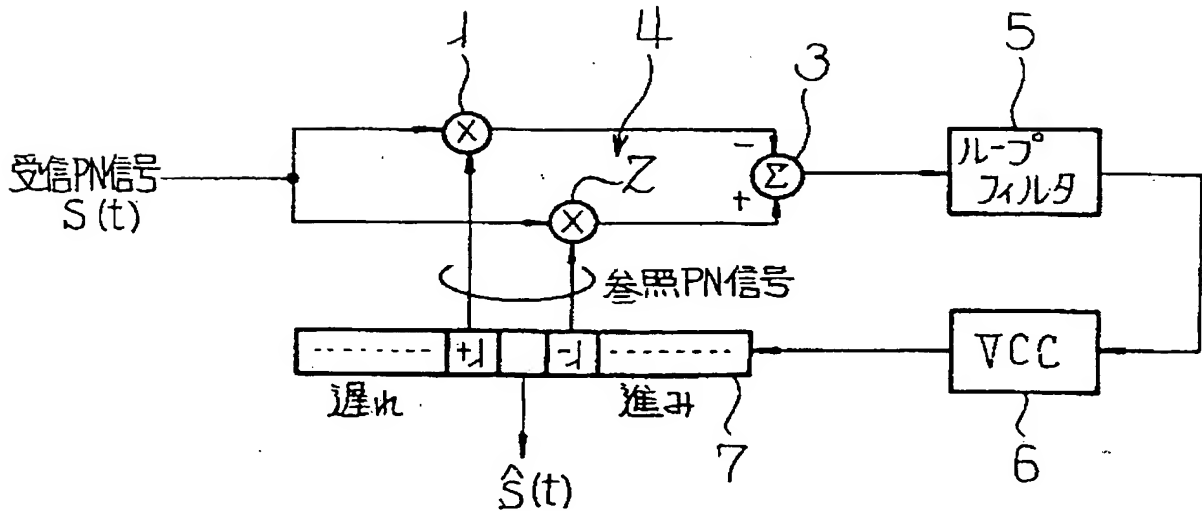


代理人 柏木
出願人 株式会社
リコ
1 明

第 3 図

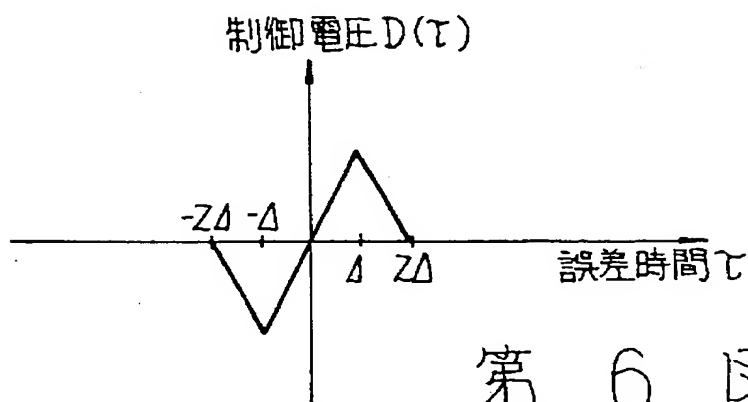


第 4 図

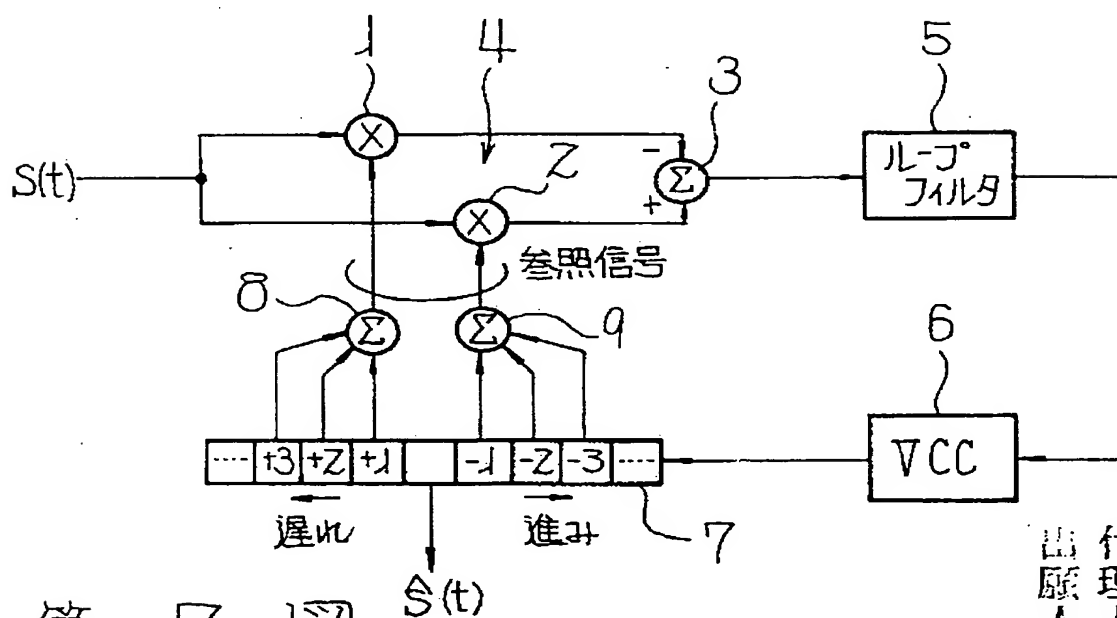


出願人 株式会社 リ コ ー 644
代理人 柏 木 明

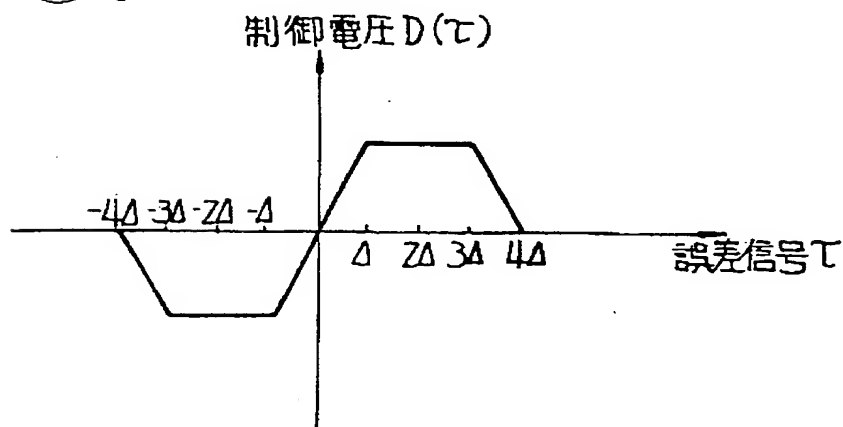
第 5 図



第 6 図

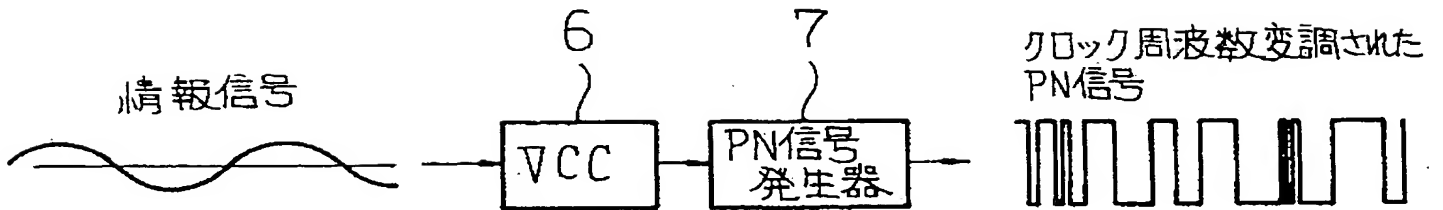


第 7 図

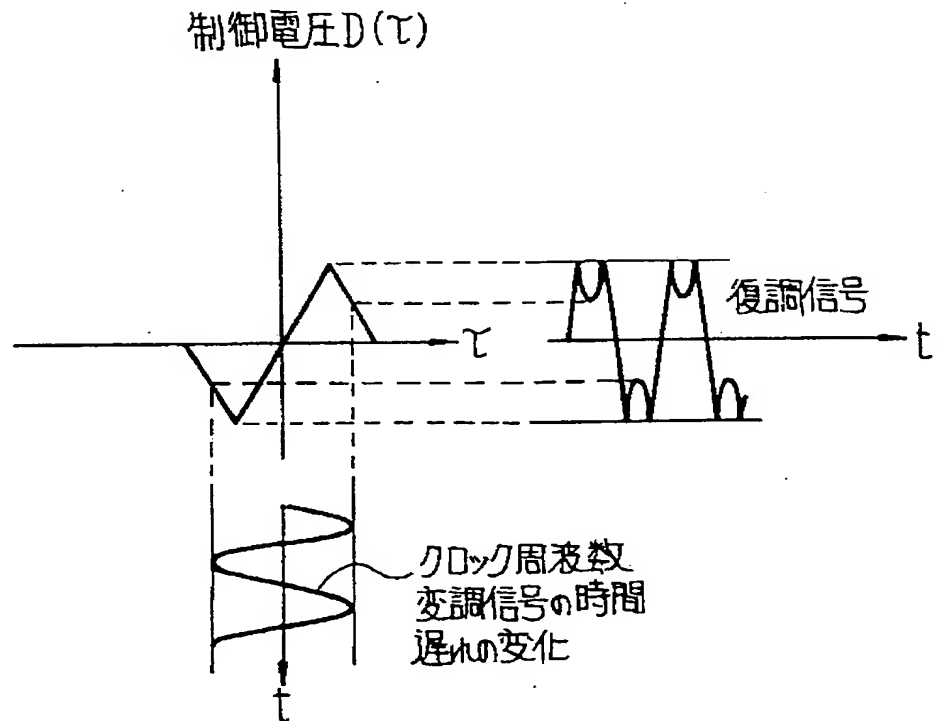


代理人 柏木
出願人 株式会社 リコ
明

第 8 図



第 9 図



出願人 株式会社 リ コ 646
三井 柏 木 明

実開 9 - 94852

JP03-094852U, Sep. 27, 1991, English Translation from the line 12 at page 7 to the line 2 at page 9 and Figs. 1, 3, 4, 6 and 9.

Embodiment

An embodiment of the present device will be described with reference to Figs. 1 to 3. Sections identical to the sections shown in Figs. 4 to 9 are denoted by identical symbols. Although, similarly to the case illustrated by Fig. 6, a reference signal of three delay and three advance chips is also employed in this embodiment, prior to addition by adders 8, 9, the signal is multiplied by appropriate coefficients by coefficient multipliers 10, 11, 12, 13. More specifically, taking the chip number as the coefficient, while a 1-chip delay signal and 1-chip advance signal are unaltered (equivalent to a coefficient of 1), a 2-chip delay signal and 2-chip advance signal are multiplied by the coefficient multipliers 10, 11 by a coefficient of 2, and a 3-chip delay signal and 3-chip advance signal are multiplied by the coefficient multipliers 12, 13 by a coefficient of 3.

The signal multiplied by the coefficients in this way are added by the adders 8, 9 at the delay side and advance side to form the reference signal, which is then supplied for multiplication by multipliers 1, 2 with a received PN signal. Further, a delay time control output is obtained by the antiphase addition of the multiplied value of the delay side signal to the multiplied value of advance side signal by the adder 3 and then integration by a loop filter 5.

The delay discrimination characteristic in this case is shown in Fig. 2. That is to say, the range across which a delay time control voltage $D(t)$ is output is enlarged to $-4\Delta < t < 4\Delta$, and it is apparent that the

linear range thereof, which is $-3\Delta < t < 3\Delta$, is three times larger than the range achieved in the prior art.

FIG. 1

5: LOOP FILTER

A: REFERENCE SIGNAL

B: DELAY

C: ADVANCE

FIG. 3

A: CONTROL VOLTAGE D (t)

B: DEMODULATION SIGNAL

C: CHANGES IN TIME DELAY OF CLOCK FREQUENCY MODULATION
SIGNAL

FIG. 4

A: RECEIVED PN SIGNAL S(t)

5: LOOP FILTER

B: REFERENCE PN SIGNAL

C: DELAY

D: ADVANCE

FIG. 6

5: LOOP FILTER

A: REFERENCE SIGNAL

B: DELAY

C: ADVANCE

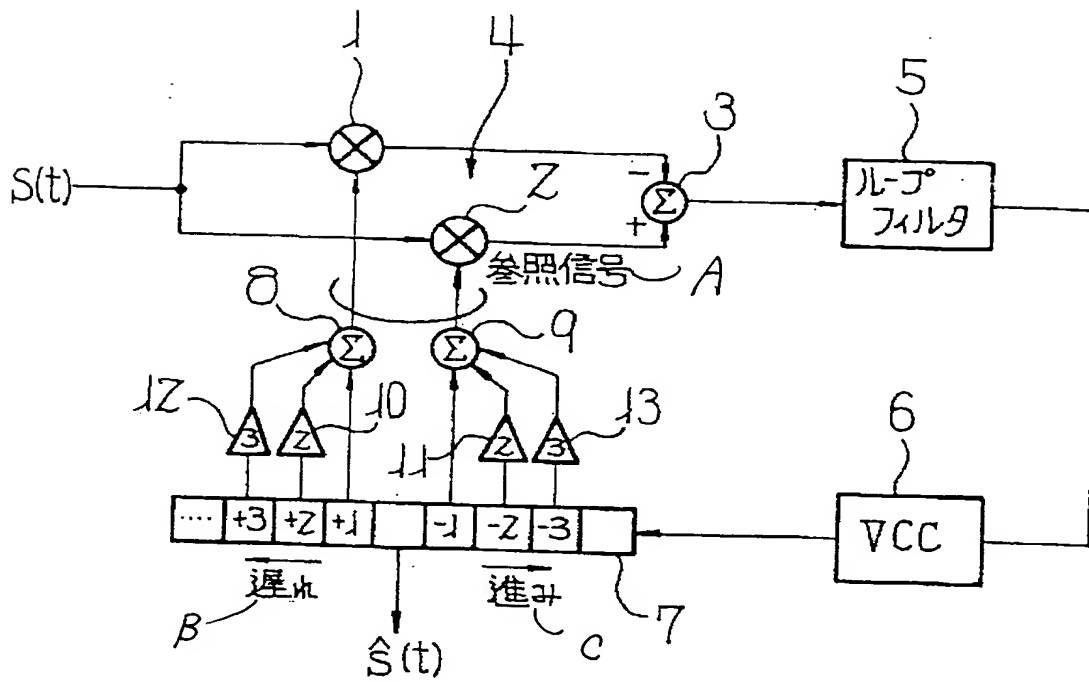
FIG. 9

A: CONTROL VOLTAGE D (t)

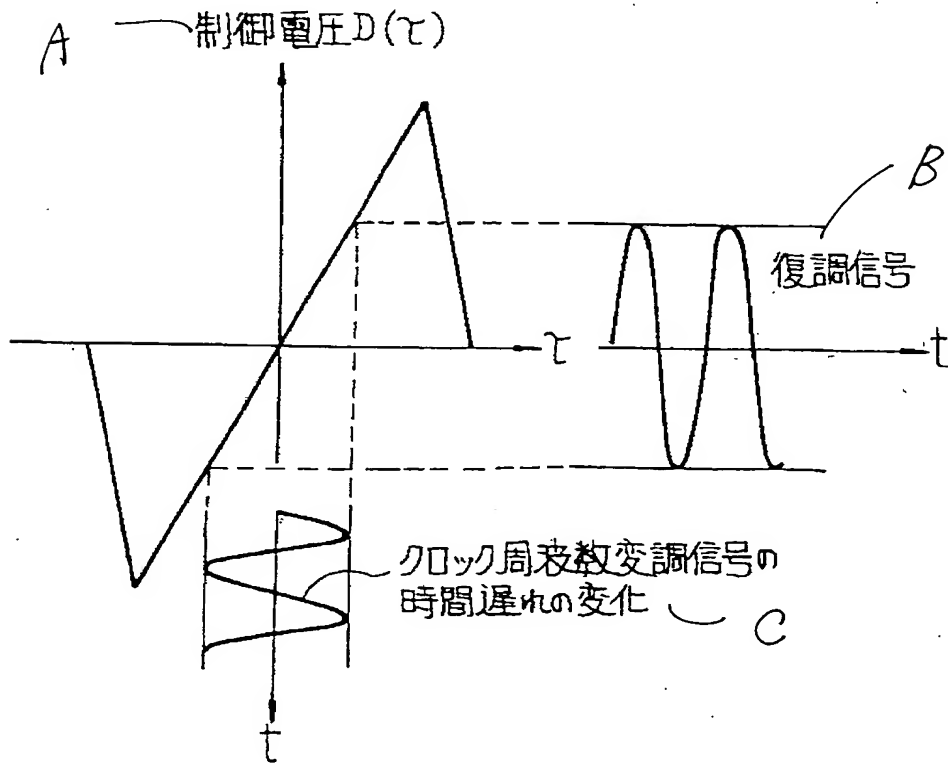
B: DEMODULATION SIGNAL

C: CHANGES IN TIME DELAY OF CLOCK FREQUENCY MODULATION
SIGNAL

第 1 図 FIG. 1

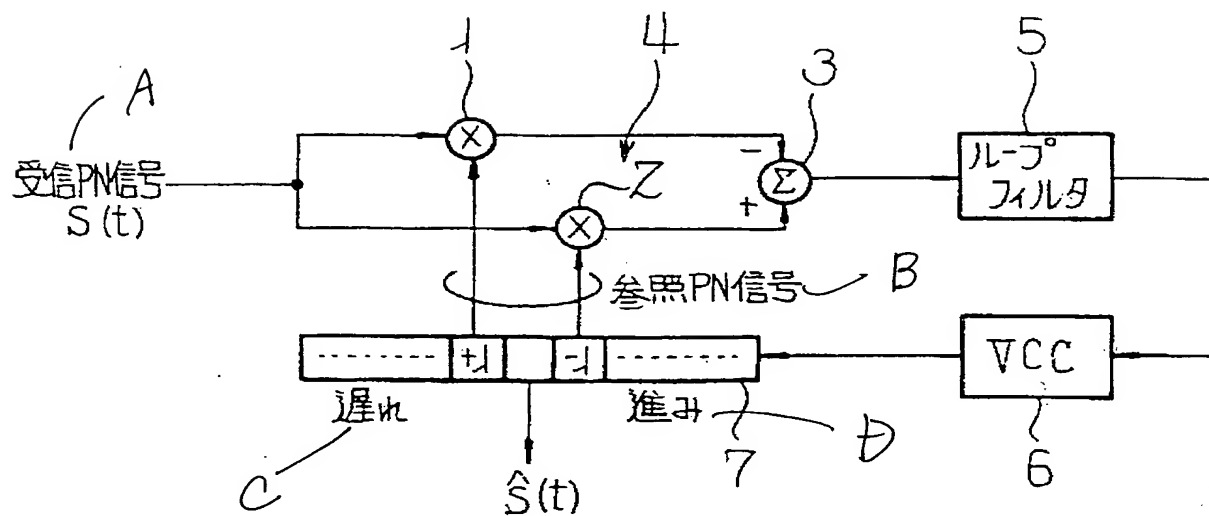


第 3 図 FIG. 3



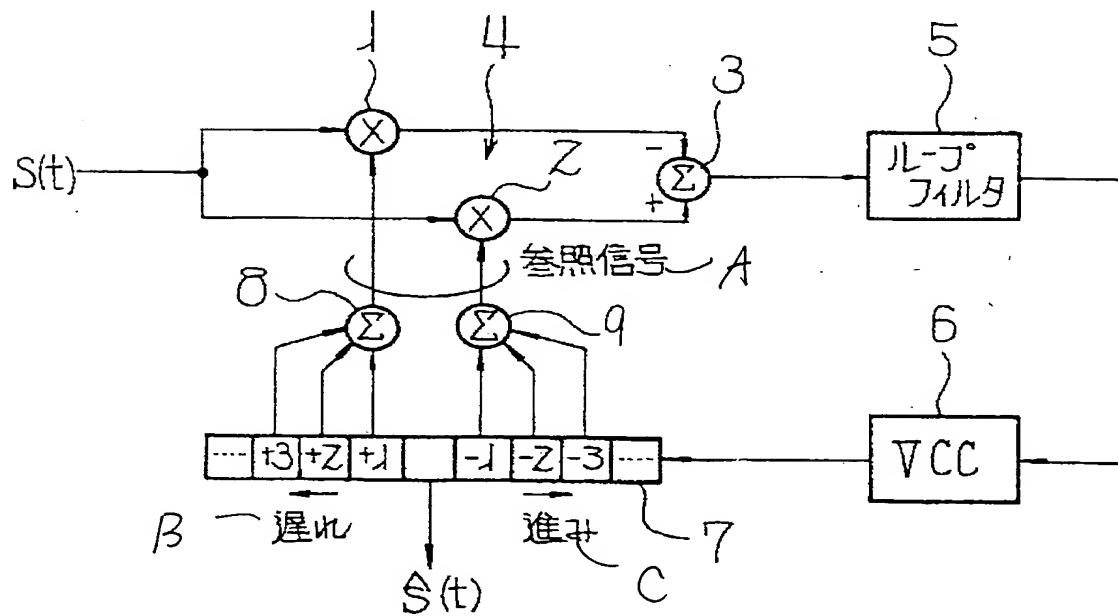
~~第一生图~~

FIG. 4

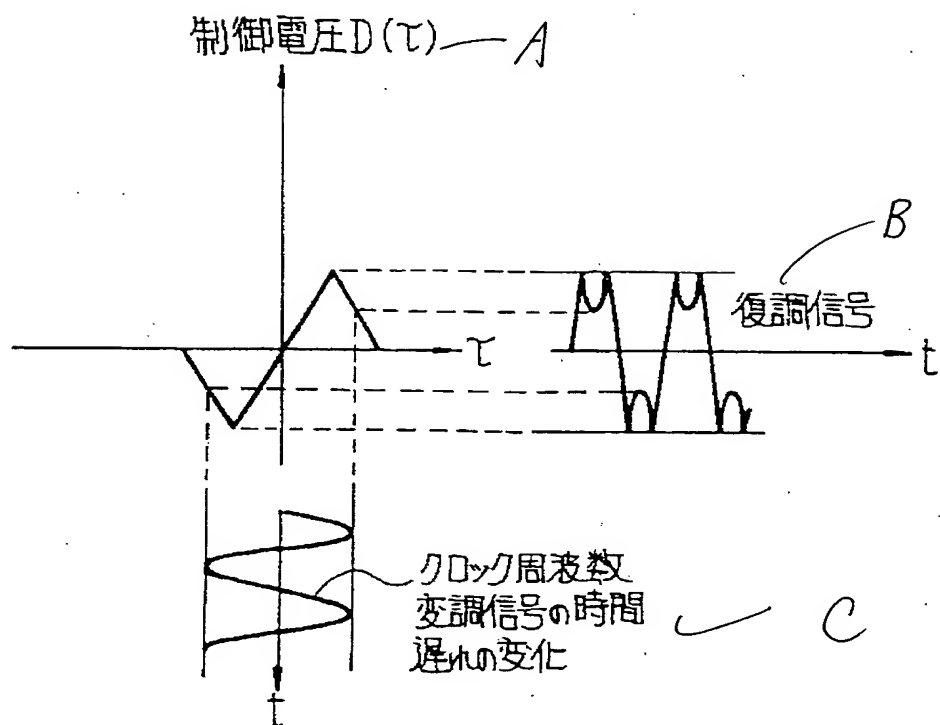


第 6 图

F/G. 6



第 9 図 FIG. 9



**This Page is Inserted by IFW Indexing and Scanning
Operations and is not part of the Official Record**

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- ☐ **BLACK BORDERS**
- ☐ **IMAGE CUT OFF AT TOP, BOTTOM OR SIDES**
- ☐ **FADED TEXT OR DRAWING**
- ☐ **BLURRED OR ILLEGIBLE TEXT OR DRAWING**
- ☐ **SKEWED/SLANTED IMAGES**
- ☐ **COLOR OR BLACK AND WHITE PHOTOGRAPHS**
- ☐ **GRAY SCALE DOCUMENTS**
- ☒ **LINES OR MARKS ON ORIGINAL DOCUMENT**
- ☐ **REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY**
- ☐ **OTHER:** _____

IMAGES ARE BEST AVAILABLE COPY.

As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.